

動的再構成型ビジョンチップ

[1] 組織

代表者：渡邊 実
(静岡大学 工学部)
対応者：川人 祥二
(静岡大学 電子工学研究所)
分担者：中田 浩成
(静岡大学 学部4年生)
青山 裕司
(静岡大学 大学院1年生)

[2] 研究経過

プロジェクトの背景と目的：

近年、ロボットや自動車などに自律制御機能が要求されており、1000 フレーム/秒以上のリアルタイムな画像認識機能が求められている。しかし、既存の組み込みシステムの多くはイメージセンサと単一プロセッサから構成され、画像認識を行うにはメモリのバンド幅とプロセッサの処理スピードが不足していた。例えば、10万枚の画像とテンプレートマッチングを行う場合、1枚の画像が1024×1024ピクセル、24ビットのカラー情報を持つものとする、メモリからテンプレート画像を読み出す転送レートは0.3ペタバイト/秒(PB/s)にも達する。既存の集積回路で実現することは困難なレートである。この状況を打開するために、本プロジェクトでは動的光再構成型ビジョンチップの開発を進めた。

動的光再構成型ビジョンチップ概要：

図1に動的光再構成型ビジョンチップの構成を示す。動的光再構成型ビジョンチップはレーザーアレイ、ホログラムメモリ、ゲートアレイ VLSI、ビームスプリッタ、レンズアレイ、結像レンズから構成される。一方向からはゲートアレイ上に実装される画像処理回路やパターンマッチング用のテンプレート画像が動的に供給され、他方からはレンズを介して画像が入力される。動的光再構成型ビジョンチップではホログラムメモリの巨大な容量を活用し、多数のテンプレート画像をホログラムメモリ内に記憶できる。それらテンプレート画像は外界から画像を受け取る度に、ホログラムメモリから動的に読み出され、参照画像と一致しているか否かが判別される。このテンプレート画像の切り替えは点灯させるレーザを

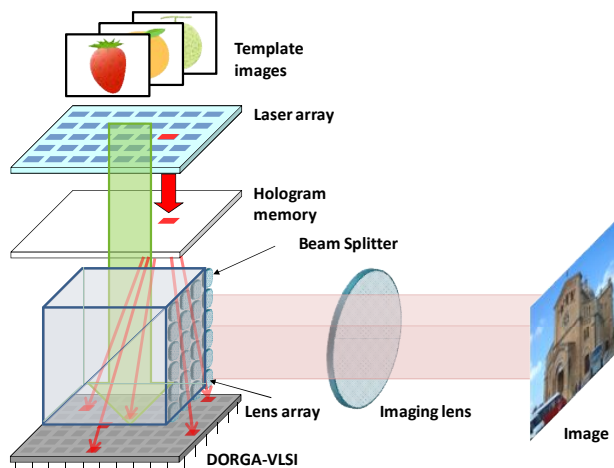


図1：動的光再構成型ビジョンチップの構成

切り替えるだけであるので数ナノ秒に1枚、テンプレート画像の読み出しが可能である。

プロジェクト内容と研究会：

本プロジェクトの最大の意義は研究代表者が練っていた「高速動的光再構成型ビジョンチップ」構想に研究対応者の最先端のイメージセンサー技術が融合されることにある。ただし、本年度は開発初年度に当たることから、まずは、週1回の研究会を行い相互に情報交換を行いつつ、以下の3つの要素開発を個別に進めた。

- ①16階調アナログセンシング部の開発
(担当：川人、中田)
- ②光再構成型ゲートアレイ VLSI チップの開発
(担当：渡邊、青山)
- ③ホログラムメモリ部の開発
(担当：渡邊、中田)

[3] 成果

(3-1) 研究成果

①16階調アナログセンシング部の開発
これまでの高速動的光再構成型ビジョンチップではゲートアレイ部に光再構成型ゲートアレイをそのまま用いており、フォトダイオードの感度が悪く、かつバイナリーの検出しかできなかった。しかし、本プロジェクトではこの画像センシング部に川人研究室の低ノイズ・アナログ階調のセンシング技術を導入することを目指す。今年度は、高速動的光再構成型ビジョンチップ向けに16階調のアナログ的な

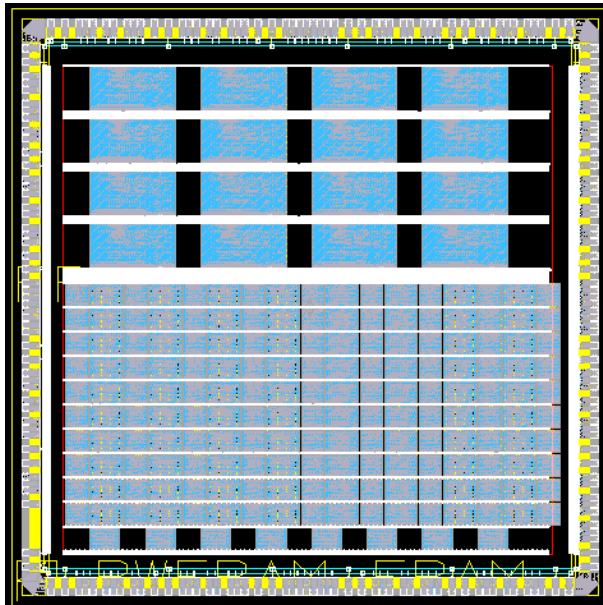


図2：光再構成型ビジョンチップVLSI

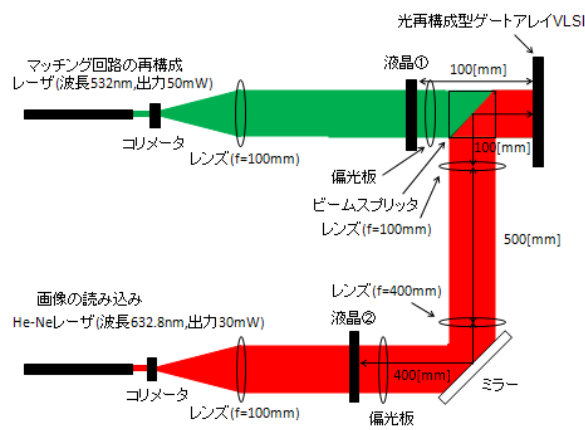


図3：デモンストレーション・システム

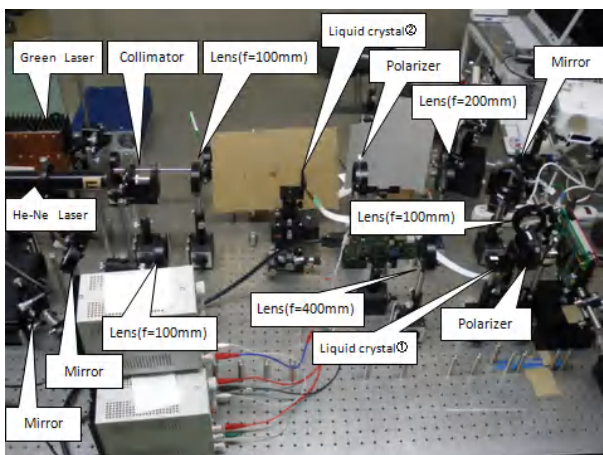


図4：デモンストレーションシステムの写真

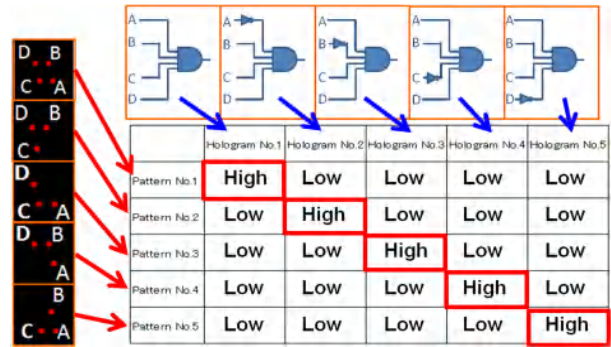


図4：パターン認識結果

センシングが可能な受光部を新規開発した(図2)。プロセスにはROHM0.18umを用い、セル設計をし、HSPICEシミュレーションによる評価までを完了した。今年度は光再構成型ビジョンチップVLSIへの組み込みは達成されておらず、次年度以降の課題となる

②光再構成型ゲートアレイVLSIチップの開発

(担当：渡邊、青山)

今年度は、高感度の16階調アナログセンシング部の導入に向けて、0.18umプロセスによる高速動的再構成型ビジョンチップを開発した。細粒度ゲートアレイ構造が下部で160論理ブロックが実装され、上部に画像処理用の16個のRISCプロセッサが実装されている。次年度には①と結合し、チップ試作を目指す。

③ホログラムメモリ部の開発

(担当：渡邊、中田)

図3、図4に動的再構成型ビジョンチップの光学系を示す。この度の試験では画像の入力と動的再構成用のホログラムの実装の双方に液晶空間光変調素子を用いた。ホログラムスイッチング用のレーザーは波長532nm、出力50mWであり、画像用のレーザーは波長632.8nm、出力30mWである。本試験では5種類の4ピクセルから成るバイナリ画像の識別を試みた。図3にそのテンプレート画像と、試験結果を示す。全ての画像の認識に成功した

(3-2)波及効果と発展性など

本プロジェクトは今年始まったばかりであり、予算の面と開発期間の面からVLSI部のチップ試作が行えていない。よって、チップ試作、そしてその成果による大型プロジェクトへの接続は今後の課題となる。

[4] 成果資料

[1] Hironari Nakada, Minoru Watanabe, and Shoji Kawahito, "Parallel template matching operations on a dynamically reconfigurable vision-chip architecture," IEEE International NEWCAS Conference (投稿中).